


UNIVERSIDADE FEDERAL DE UBERLÂNDIA

Faculdade de Computação

Av. João Naves de Ávila, nº 2121, Bloco 1A - Bairro Santa Mônica, Uberlândia-MG, CEP 38400-902

 Telefone: (34) 3239-4144 - <http://www.portal.facom.ufu.br/> facom@ufu.br

PLANO DE ENSINO
1. IDENTIFICAÇÃO

Componente Curricular:	Arquitetura e Organização de Computadores						
Unidade Ofertante:	FACOM						
Código:	GS1013	Período/Série:	3	Turma:	S		
Carga Horária:				Natureza:			
Teórica:	60	Prática:	00	Total:	60	Obrigatória: (X)	Optativa: ()
Professor(A):	Renato de Aquino Lopes				Ano/Semestre:	2023/1	
Observações:	<p>1 - E-mail institucional do docente: ralopes@ufu.br</p> <p>2 – Calendário acadêmico regulamentado pela RESOLUÇÃO CONGRAD Nº 73, DE 17 DE OUTUBRO DE 2022.</p> <p>3 - Ao se matricular na disciplina, o(a) discente declara-se ciente das normas estabelecidas nesse plano de ensino e nas resoluções supracitadas.</p> <p>4 - O(a)s discentes devem conferir o Regimento Geral da Universidade Federal de Uberlândia (http://www0.ufu.br/documentos/legislacao/Regimento_Geral_da_UFU.pdf), especialmente no que diz respeito a fraudes ou comportamento fraudulento observados no Art. 196, do capítulo III do regime disciplinar.</p>						

2. EMENTA

Visão geral da arquitetura de Von Neumann. linguagem de montagem. Estruturas de conexão entre processador, memória e E/S. Hierarquia de memória. Interação com o sistema operacional. Desempenho na computação: métricas e seu relacionamento, benchmarks. Arquitetura do conjunto de instruções: registradores; tipos de dados; tipos de instruções; representação de instruções; modos de endereçamento; procedimentos e manipulação da pilha; risc x cisc. Unidade central de processamento. Unidade de controle e caminho de dados. Arquiteturas paralelas: taxonomia de arquiteturas paralelas; redes de conexão; multiprocessadores simétricos — SMP; máquinas Numa; coerência de cache com múltiplos processadores; clusters; processadores vetoriais; processadores matriciais.

3. JUSTIFICATIVA

A disciplina de Arquitetura e Organização de Computadores se justifica pelo fato de que ela tem como objetivo ensinar ao aluno de sistemas de informação como processadores são organizados, funcionam e quais quesitos influenciam no desempenho geral de um processador. Ela também é a única disciplina que coloca o aluno de graduação em contato com a linguagem de montagem.

4. OBJETIVO
Objetivo Geral:

Oferecer ao aluno conceitos relacionados ao entendimento do funcionamento dos principais elementos do computador, como estão organizados e como eles se interagem na execução de uma instrução.

Objetivo Específico:

- Compreender o hardware de um sistema computacional;
- Compreender o funcionamento dos vários módulos que compõem um sistema computacional;
- Desenvolver uma visão crítica sobre os requisitos de desempenho associados a um sistema computacional;
- Desenvolver a habilidade de programação em linguagem de baixo nível (assembly).

5. PROGRAMA**1 - Visão geral dos computadores**

- 1.1 - Máquinas multinível;
- 1.2 - Componentes do computador;
- 1.3 - Modelo de Von Neumann;
- 1.4 - Conceituação, funcionamento e descrição dos componentes;
- 1.5 - Modelo de barramento de sistemas;
- 1.6 - Barramento de dados, controle e endereços;
- 1.7 - Evolução da arquitetura dos computadores.

2 - Linguagem de máquina, conjunto de instruções e modos de endereçamento:

- 2.1 - Operações e operandos no hardware do computador;
- 2.2 - Representação de instruções de máquina;
- 2.3 - Operações lógicas e aritméticas;
- 2.4 - Instruções para tomada de decisões;
- 2.5 - Modos de endereçamento;
- 2.6 - Introdução ao funcionamento dos compiladores;
- 2.7 - Programação em linguagem de montagem (assembly);
- 2.8 - Exemplos nas arquiteturas MIPS e IA-32.

3 - Avaliando e compreendendo o desempenho

- 3.1 - Desempenho da UCP e seus fatores;
- 3.2 - Avaliando o desempenho;
- 3.3 - Benchmarks para avaliação de desempenho.

4 - Caminho de dados e controle

- 4.1 - Convenções lógicas de projeto;
- 4.2 - Implementação de caminho de dados e ciclo único e multiciclo;
- 4.3 - tratamento de exceções;

4.4 - Projeto da Unidade de Controle;

4.5 - Microprogramação da unidade de controle.

5 - Melhorando o desempenho com pipeline

5.1 - Conceitos de pipelining;

5.2 - Hazard de Dados e encaminhamento;

5.3 - Hazards de dados e stalls;

5.4 - Pipelining avançado.

6 - Hierarquia de memória

6.1 - Princípios básicos da cachê;

6.2 - Medindo e melhorando o desempenho da cachê;

6.3 - Memória virtual;

6.4 - Exemplos de hierarquia de memória virtual.

7 - Subsistemas de entrada e saída, barramentos e dispositivos de E/S

7.1 - Armazenamento e confiabilidade;

7.2 - Barramentos e outras conexões entre processadores, memória e dispositivos de E/S;

7.3 - Técnicas de Entrada e Saída (E/S), comunicação serial e paralela;

7.4 - Medidas de desempenho de E/S.

8 - Computadores paralelos

8.1 - Taxonomia de computadores paralelos;

8.2 - Computação em memória compartilhada e distribuída;

8.3 - Desempenho em sistemas paralelos.

6. METODOLOGIA

A metodologia a ser utilizada na disciplina segue abaixo detalhada.

a) Aulas em Sala (até 21/11/2023):

O conteúdo da disciplina será ministrado por meio de aulas presenciais as segundas das 20:50h às 22:30h e quintas das 19:00h às 20:40h até o dia 21/11/2023 totalizando uma carga horária de 58 h/a. O horário das 19:00 às 20:30 das segundas será reservado para o atendimento ao aluno na sala 1B125. Para uma melhor organização do atendimento, recomenda-se um agendamento prévio do aluno (por meio do email ralopes@ufu.br ou pela equipe do Microsoft Teams). Além disso, o atendimento poderá ser realizado de forma assíncrona por meio do Microsoft Teams. Os questionamentos feitos de forma assíncrona serão respondidos em até 48h.

Cronograma de Atividades

Data	Horário	Observações	Modalidade	Conteúdo Previsto	H/A
31/07/2023	20:50h às 22:30h		Presencial	Apresentação Plano de Ensino; Introdução ao Estudo de Arquitetura e Organização de Computadores.	2
03/08/2023	19:00h às 20:40h		Presencial	Máquinas multiníveis; Componentes do computador, Modelo de Von Neumann, Conceituação, funcionamento e descrição dos componentes, Barramentos.	2
07/08/2023	20:50h às 22:30h		Presencial	Introdução ao conjunto de instruções: visão geral, conceitos, registradores, tipo de dados, instruções, modo de endereçamento. Conjunto de Instruções: Operações no hardware do computador; Compilando uma instrução no MIPS; Operando no hardware do computador.	2
10/08/2023	19:00h às 20:40h		Presencial	Compilando uma instrução quando o operando está na memória; Interface hardware/software; Assembly no MIPS; Representando instruções no computador. Instruções Lógicas; Instruções de decisão, Laços, Exercícios. Resolução de exercícios.	2
14/08/2023	20:50h às 22:30h		Presencial	Suporte para procedimentos; Recursividade; Exercícios.	2
17/08/2023	19:00h às 20:40h		Presencial	Suporte para comunicação com pessoas; Apresentação do MARS; explicação de programas exemplos.	2
21/08/2023	20:50h às 22:30h		Presencial	Nível da microarquitetura.	2
24/08/2023	19:00h às 20:40h		Presencial	Resolução de exercícios; Avaliação de desempenho do computador: definindo desempenho do computador, desempenho relativo; medindo desempenho; desempenho da CPU e seus fatores; exercícios.	2

28/08/2023	20:50h às 22:30h		Presencial	Primeira Prova	2
04/09/2023	20:50h às 22:30h		Presencial	Caminho de Dados e Controle: introdução, elementos básicos; comportamento das instruções do tipo R, Load e Store, Beq no caminho de dados.	2
04/09/2023		Aula Extra	Presencial	Vista Primeira Prova	2
11/09/2023	20:50h às 22:30h		Presencial	Caminho de Dados Monociclo: projeto; unidade de controle principal; exemplos de execução das instruções; Descrição dos sinais de controle.	2
14/09/2023	19:00h às 20:40h		Presencial	Caminho de Dados Multiciclo; diferenciação com o caminho de dados monociclo; unidade de controle; exemplos de execução das instruções; Descrição dos sinais de controle.	2
18/09/2023	20:50h às 22:30h		Presencial	Pipeline MIPS – Introdução; Pipeline, caminho de dados e o controle.	2
21/09/2023	19:00h às 20:40h		Presencial	Pipeline, introdução ao Hazard de Dados e Estrutural, solucionando Hazard; Hazard de controle, exercícios.	2
25/09/2023	20:50h às 22:30h		Presencial	Hierarquia de Memória: Princípio da localidade temporal e espacial; Principais tecnologias; Estrutura, organização e gerenciamento da hierarquia de memória.	2
28/09/2023	19:00h às 20:40h		Presencial	Segunda Prova	2
02/10/2023	20:50h às 22:30h		Presencial	Memória Virtual.	2
05/10/2023	19:00h às 20:40h		Presencial	Identificação e correção de erro: códigos com correção de erro, número de bits para verificação e correção de erros, Algoritmo de Hamming, exercícios.	2
09/10/2023	20:50h às		Presencial	Resolução de exercícios.	2

	22:30h				
09/10/2023	19:00h às 20:40h	Aula Extra	Presencial	Vista Segunda Prova	2
16/10/2023	20:50h às 22:30h		Presencial	Subsistemas de entrada e saída, barramentos e dispositivos de E/S (Parte 1).	2
19/10/2023	19:00h às 20:40h		Presencial	Subsistemas de entrada e saída, barramentos e dispositivos de E/S (Parte 2).	2
23/10/2023	20:50h às 22:30h		Presencial	Interação entre Processador e Sistema Operacional.	2
26/10/2023	19:00h às 20:40h		Presencial	Aula de Exercícios	2
30/10/2023	20:50h às 22:30h		Presencial	Arquitetura de Computadores Paralelos.	2
06/11/2023	20:50h às 22:30h		Presencial	Aula de Dúvidas.	2
09/11/2023	19:00h às 20:40h		Presencial	Prova 3.	2
13/11/2023	19:00h às 20:40h	reposição de aula de quinta- feira em todos os campi	Presencial	Vista Terceira Prova.	2
16/11/2023			Presencial	Prova Substitutiva.	2
17/11/2023	19:00h às 20:40h	reposição de aula de quinta- feira em Uberlândia e de sábado no Campus Pontal	Presencial	Vista Prova Substitutiva.	2
*21/11/2023		90° dia letivo referente a 2023/1	-	-	-

23/11/2023		-	-		
27/11/2023		-	-		
30/11/2023		-	-		
01/12/2023		-	-		
02/12/2023		Término do semestre letivo 2023/1	-	-	
15/08/2023		TAE	Assíncrono	Primeira Lista de Exercício.	2
20/09/2023		TAE	Assíncrono	.Codificação de exercícios em assembly.	2
23/09/2023		TAE	Assíncrono	Segunda Lista de Exercício	2
20/10/2023		TAE	Assíncrono	Terceira Lista de Exercício.	2
25/10//2023		TAE	Assíncrono	Trabalho de Pesquisa sobre temas relacionados a disciplina.	2
		Total:			72

b) Trabalho Acadêmico Efetivo - TAE :

Serão realizadas 10 h/a em formato de TAE (atividades extraclasse) e 4 h/a extras destinadas a vista da primeira e segunda prova totalizando 14 h/a.

A disponibilização dessas atividades poderá ser feita por meio do pacote da Microsoft Office 365, a saber:

- Microsoft Teams para comunicação com os alunos (mensagens, listas de exercícios, links, slides, etc);
- Microsoft OneDrive: para o armazenamento dos materiais produzidos pelos alunos e para os alunos;
- Microsoft Forms: para a elaboração de listas de exercícios;

Demais recursos oferecidos pelo pacote Microsoft 365 que possam facilitar e tornar mais eficiente e atrativa as atividades a serem realizadas nas atividades assíncronas.

Alternativamente, o Moodle poderá ser utilizado em complemento ao Microsoft Office 365.

c) Carga horária prática: Apesar de não haver carga horária prática na disciplina, serão cobrados trabalhos sobre implementação em assembly utilizando o MARS que pode ser obtido no link:<https://courses.missouristate.edu/KenVollmar/MARS/download.htm>.

d) Como e onde os discentes terão acesso às referências bibliográficas: Serão disponibilizados para os alunos slides das aulas e links de material de apoio a serem acessado por meio da internet. Os slides e os links serão disponibilizados utilizando o Microsoft Teams. O código para o aluno entrar na equipe criada no Microsoft Teams é:
ng38kir.

7. AVALIAÇÃO

As avaliações serão realizadas por meio de provas e trabalhos conforme descrito abaixo:

a) Datas e horários da avaliação:

Primeira Avaliação 28/08/2023 Valor: 20,0 pontos

Segunda Avaliação 28/09/2023 Valor: 25,0 pontos

Terceira Avaliação 09/11/2023 Valor: 25,0 pontos

Apresentação Trabalho Valor: 30,0 pontos

Avaliação Substitutiva para discentes com frequência de 75% ou mais e aproveitamento menor que 60%:
16/11/2023 (substitui uma das provas a escolha do aluno)

b) Critérios para a realização e correção das avaliações: Os critérios a serem utilizados serão: conformidade com o conteúdo visto nas aulas; clareza, emprego correto das regras da língua portuguesa; respeito as datas e horários estabelecidos para entrega e completude nas respostas

.c) Validação da assiduidade dos discentes: A frequência do aluno será aferida pela participação nas aulas presenciais por meio da realização de chamadas.

d) Especificação das formas de envio das atividades extraclasse (assíncronas) pelos discentes, por meio eletrônico: As atividades extraclasse serão realizadas por meio da entrega das tarefas utilizando o Microsoft Teams conforme descrito na seção de metodologia.

8. BIBLIOGRAFIA

Básica

HENNESSY, J. L.; PATTERSON, D. A. Organização e Projeto de Computadores: A Interface Hardware/Software. 3. ed. Rio de Janeiro: Campus, 2005.

HENNESSY, J. L.; PATTERSON, D. A. Arquitetura de computadores: uma abordagem quantitativa. 4. ed. Rio de Janeiro: Campus, 2008.

TANENBAUM, A. S. Organização Estruturada de Computadores. 5. ed. Prentice- Hall Brasil, 2007.

Complementar

WEBER, R. F. Fundamentos de Arquitetura de Computadores. 3. ed. Sagra-Luzzatto, 2004.

STALLINGS, W. Arquitetura e organização de computadores. 5. ed. Prentice- Hall Brasil, 2002.

MONTEIRO, M. A. Introdução à organização de computadores. 4. ed. LTC, 2001.

MURDOCCA, M. J. Introdução à Arquitetura de Computadores. Rio de Janeiro: Campus, 2001.

TOCCI, R. J., WIDMER, N. S., MOSS, G. L., Sistemas Digitais - Princípios e Aplicações. 10 Ed. Pearson Prentice Hall, São Paulo, S.P., 2007, Brasil.

9. APROVAÇÃO

Aprovado em reunião do Colegiado realizada em: ____/____/____

Coordenação do Curso de Graduação: _____



Documento assinado eletronicamente por **Renato de Aquino Lopes, Professor(a) do Magistério Superior**, em 20/09/2023, às 16:37, conforme horário oficial de Brasília, com fundamento no art. 6º, § 1º, do [Decreto nº 8.539, de 8 de outubro de 2015](#).



A autenticidade deste documento pode ser conferida no site

[https://www.sei.ufu.br/sei/controlador_externo.php?](https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0)

[acao=documento_conferir&id_orgao_acesso_externo=0](https://www.sei.ufu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **4715833** e o código CRC **D45A5A86**.